

ディスクリート半導体 熱設計の勘どころ 2

概要

本資料はディスクリート半導体のシミュレーションによるチップ温度低減施策について述べたものです。

目次

概要	1
目次	2
1. はじめに	3
2. シミュレーション結果のサマリ	3
3. シミュレーション精度について	4
4. シミュレーションモデルについて	5
5. 熱干渉モデルについて	6
6. シミュレーションの結果と傾向	7
6.1. 多層基板の影響	7
6.2. パターン厚の影響	8
6.3. 直下ビアの影響	9
6.4. 周辺ビアの影響	10
6.5. 放熱器サイズの影響	11
6.6. 放熱器表面放射率の影響	11
6.7. 放熱器表面放射率の影響	12
6.8. TIM の影響	14
製品取り扱い上のお願い	16

1. はじめに

アプリケーションノート『ディスクリート半導体 熱設計の勘どころ』では、熱設計におけるチップ温度低減のための指標について実測データを基にしてまとめました。その続編としてシミュレーションデータを基にしたアプリケーションノート『ディスクリート半導体の熱設計の勘どころ 2』を作成しました。

シミュレーションでは、解析モデルさえ作ってしまえば解析の自由度は高く、測定条件や測定環境における、あらゆる解析データが得られる利点があります。また実デバイスと違い、不具合の心配がないことから、おおよそ実測定では実現できないような条件での解析も可能になります。

この利点を生かして実測定では得られなかったモデル、条件でのデータを使ってアプリケーションノートにまとめました。シミュレーションであるが故、実際にはあり得ない状態でのデータも取得することができるためデバイスの限界までの予想がつきやすくなっています。実測データを基にしたアプリケーションノートでは見られなかったデータを補えるようなアプリケーションノートを提供します。

2. シミュレーション結果のサマリ

シミュレーションは一定の条件下で行っていますので、定量的な改善度は条件により異なります。しかし改善傾向は同様に期待できますので、本シミュレーション結果のサマリを下記表にまとめました。熱設計の際の参考データとしてご活用願います。なお、詳細情報・データは次章以降を参照願います。

施策	チップ温度改善度	コメント
多層基板の影響	4 層→8 層で 7%向上	層数増やすと効果はありますが、コスト上昇するため検討が必要です。
パターン厚の影響	70 μ m→105 μ m で 6%向上	断面積が大きくなって熱が伝わる量が増え、より基板内に熱が広がり放熱効果が上がります。
直下ビアの影響	0 個に対して →3 個 9%、5 個 12%向上	改善度は大きいです。
周辺ビアの影響	0 個に対して →6 個 7%、10 個 10%向上	直下ほどの効果はありません。 但し、周辺への熱遮断効果は期待できます。
放熱器サイズの影響	高さ 1cm(26cm ³)で 12%向上 高さ 2cm(52cm ³)で 19%向上	基板側のみの放熱に比べて効果は大きいです。
放熱器表面放射率の影響	アルマイト処理(放熱率 0.04→0.8) により 12%向上	効果は大きいです、コスト検討が必要です。
熱干渉の影響について (3 個並べたときの中央製品)	製品距離 3mm→3%上昇 製品距離 12mm→上昇なし	熱干渉を避けるためには発熱部品を近接して配置しないことが重要です。 また、銅パターンの分離や熱の拡散を防ぐために発熱源間にビアを設けることで改善が期待できます。
TIM の影響	表面積が小さい場合は、薄いほうが放熱性向上します。	小さい面積に TIM を使用する場合は、厚みを考慮する必要があります。

注記： TIM とは Thermal Interface Material の略で、放熱器とデバイス、あるいは放熱器と基板間を熱的に接続するための材料の総称。

3. シミュレーション精度について

シミュレーションデータを用いるにあたり、実測値とシミュレーション値の違いを比べてみると表 1 の結果となりました。実測値とシミュレーション値の精度は± 5 %以内であり問題はないと考えられます。(図 1 参照)

表 1 : MOSFET の実測値とシミュレーション値

パッケージ名	内部構造	実測値 (℃)	Sim値 (℃)	温度差 (℃)	精度
SOP-Adv.	コネクタ	71.6	69.42	2.18	3.05%
	リボン	73.04	72.98	0.06	0.08%
	ワイヤ	77.1	78.05	-0.95	-1.23%
TSOP-Adv.	コネクタ	84.63	83.94	0.69	0.82%
	リボン	87.87	86.02	1.85	2.11%
	ワイヤ	91.17	90.14	1.03	1.13%
DSOP-Adv.	コネクタ	79.86	79.04	0.82	1.03%
PS- 8	ワイヤ	94.61	95.87	-1.26	-1.33%
DPAK	ワイヤ	80.93	80.83	0.10	0.12%
D2PAK	ワイヤ	74.35	75.37	-1.02	-1.37%

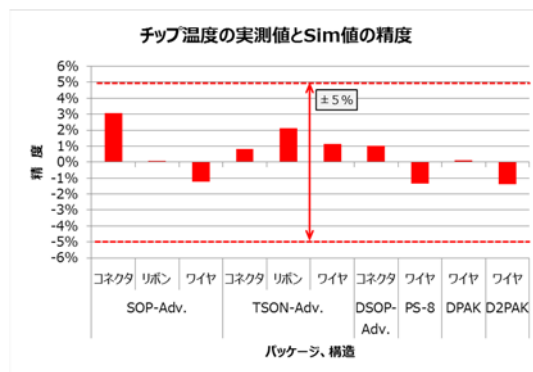


図 1 : MOSFET モデル精度

注記 1 : SOP-Adv.、TSOP-Adv.、DSOP-Adv.は

其々SOP Advance、TSOP Advance、DSOP Advance の略

注記 2 : sim 値はシミュレーション値の略

注記 3 : 精度(%) = ((実測値 - シミュレーション値) / 実測値) × 100

本シミュレーションでは、表面実装型パッケージである SOP Advance のコネクタモデルを主体としてシミュレーションを行っております。

4. シミュレーションモデルについて

本シミュレーション設定とモデルの基本方針を以下に示します。

【デバイス】

シミュレーションには基板放熱性のよい表面実装タイプのデバイスである SOP Advance（コネクタタイプ）をモチーフとしたモデルを使用しました。

【基板】

発熱量に対して基板が小さすぎるとその影響によりデバイスのチップ温度が上がってしまうことが考えられます。そこで当社標準である 1 インチ角の評価基板の 4 倍の面積をもつ 2 インチ角の基板をモデル化しました。また、基板表面の半田レジストは基板の裏面だけをモデル化し、表面は基板材料であるガラスエポキシ（FR4）の表面放射率を上げることで表現することにしました。

これにより、表面に発生するレジスト分のメッシュ数が減り、且つ半田レジストと同様の効果をモデルに持たせることになります。基板の厚さは、一般的な厚みを使い約 1.6mm としました。

標準基板の層数は 4 層としました。また標準の銅パターン厚は、いずれの層も厚さ 70μm としました。内層パターンはパターン形状の影響をなくすため、すべてベタパターン（被覆率 100%）としました。またパターン間のコア材やプリプレグ厚は各層を均等にした厚みでモデルを作成しました。

【モデルのビア】

今回のモデルでビアはすべてサーマルスルーホールを指しています。（以下、ビアという。）その形状上は、メッシュを切り易くするため、円筒ではなく直方体で置き換えています。サイズは 0.25×0.25mm 角であり、これは円筒ビアのメッキ厚の断面積と同じ面積になるようになっています。配置場所はデバイスパッケージの熱経路の主流であるドレインパターン上にしています。今回のシミュレーションではデバイスのドレインフレーム（以下、E-pad という。）直下の銅パターンに配置するビアを内ビア、デバイス周辺に配置するビアを外ビアとしました。外ビアは、より影響を分かり易くするためデバイスに距離を近づけて配置しました。2 列目の配置は、効果を確認するのが難しいと考え、外周 1 列のみとしビア数の疎、密として条件を振っています。

【放熱器】

放熱器はフィン形状で放熱の効果が変わるため、直方体ブロックでモデル化しました。放熱器をパラメータにするとき以外は同じ形状のものを使用しています。

【熱干渉】

1 枚の基板上に同一デバイスモデル 3 個を共通ドレインパターン上に配置し熱干渉のモデルとしました。基板の大きさは単数の場合と同じにしています。

【TIM (Thermal Interface Material)】

TIM の物性値はどのモデルも同じとして、その厚みによってモデル化しました。＜デバイス＞－＜銅パターン＞間、＜銅パターン＞－＜放熱器＞間に TIM を挟み傾向を確認しております。

● 基板モデル例

図 2 にデバイス付き 4 層基板のシミュレーションモデルを示します。

◆ 4層基板標準モデル

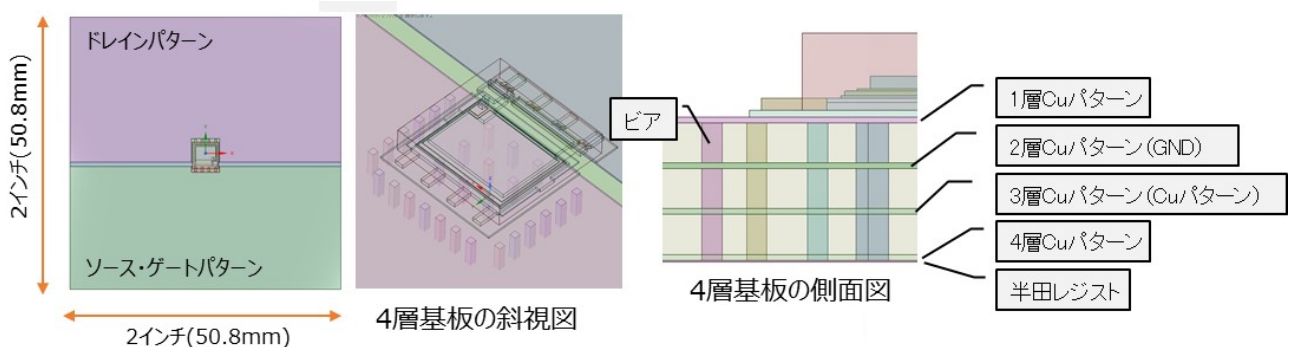


図 2：デバイス付き 4 層基板のシミュレーションモデル

5. 熱干渉モデルについて

発熱体を並べた場合、その距離によって熱の干渉を受けます。その影響を見るための熱干渉モデルを作成しました。そのモデルを図3に示します。モデルは水平方向の熱干渉を見るため、横への熱の広がりを阻害する縦方向のビアは除いてモデルを作成しています。また縦方向の熱伝導率を上げないため表裏面の2層基板を用いています。デバイスは3つを基板中央に配置し隣接する（横方向）間隔を変えてシミュレーションを行いました。図4には、デバイス間隔の異なる熱干渉モデルを示します。

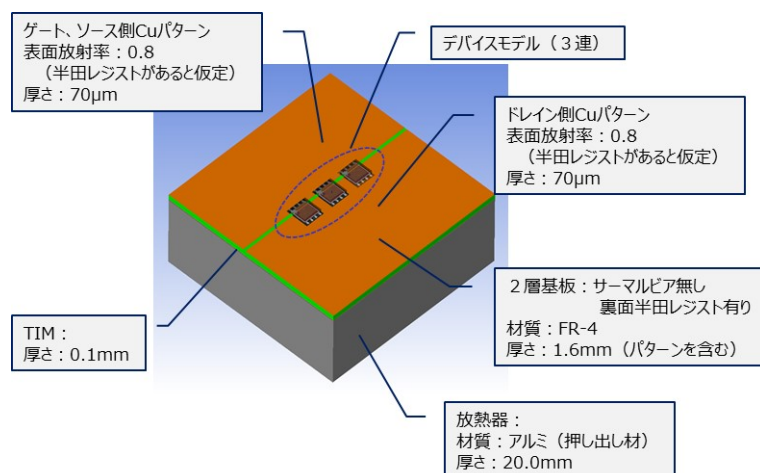


図3：熱干渉用シミュレーションモデル

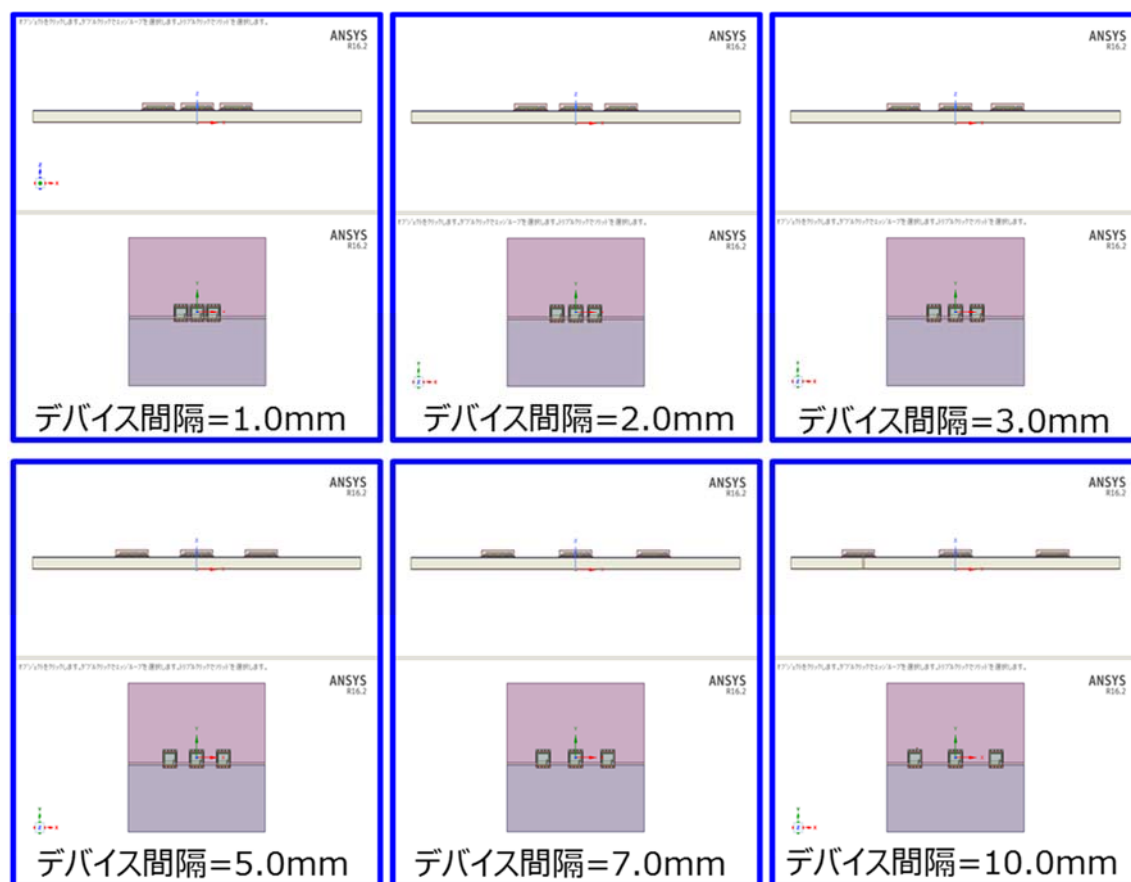


図4：デバイス間隔の異なる熱干渉モデル

6. シミュレーションの結果と傾向

6.1. 多層基板の影響

基板面積の縮小化に伴い一般に多く取り入れられている多層基板の影響について行ったシミュレーションの結果を図5に示します。基板はビアなし、内層パターンは、すべてベタパターン（被覆率 100%）にしています。

デバイス（SOP Advance）を中央に置き 1 W 損失時のチップ温度（以下、Tch という。）を各層数毎の基板に対してプロットしてあります。表面基板 1 層の基板は、単層ですが、参考のためプロットしてあります。

また、4 層基板データを基準として他の基板のチップ温度を指数化したところ、8 層基板で約 93%、12 層基板で約 88%、16 層基板で約 84%、26 層基板で 79% までチップ温度が低減されることがわかりました。逆に、内層数を減らすと約 5% 程度チップ温度上昇してしまいます。基板を使った放熱では、層数を増やすほうが有利であることが分かります。ただし放熱だけのために層数を増やすことは基板のコスト上昇が見込まれるため検討が必要です。

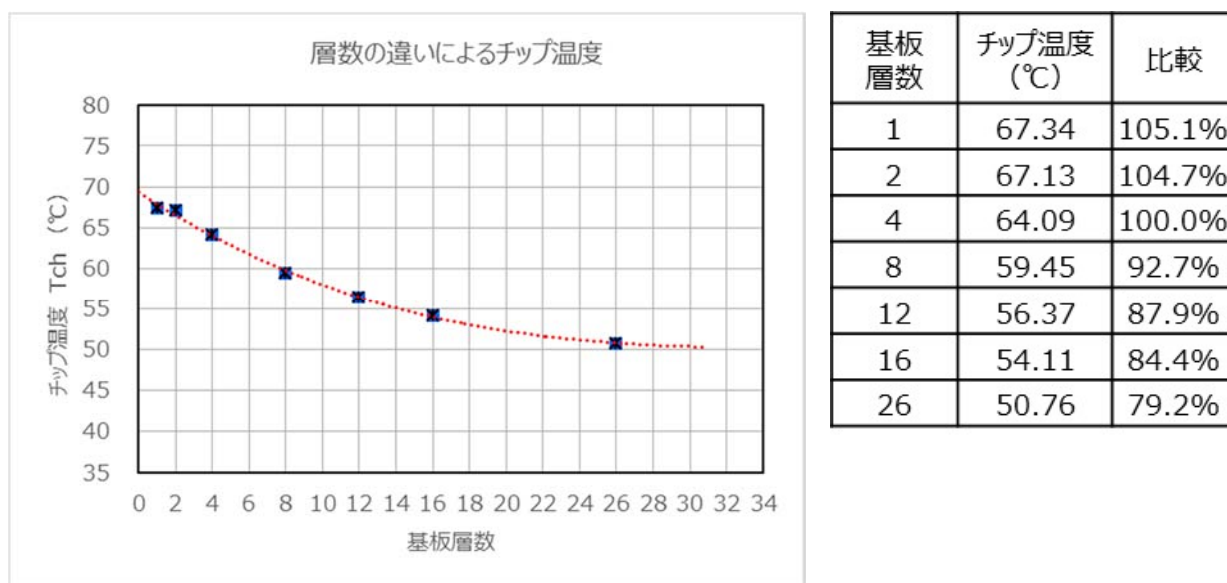
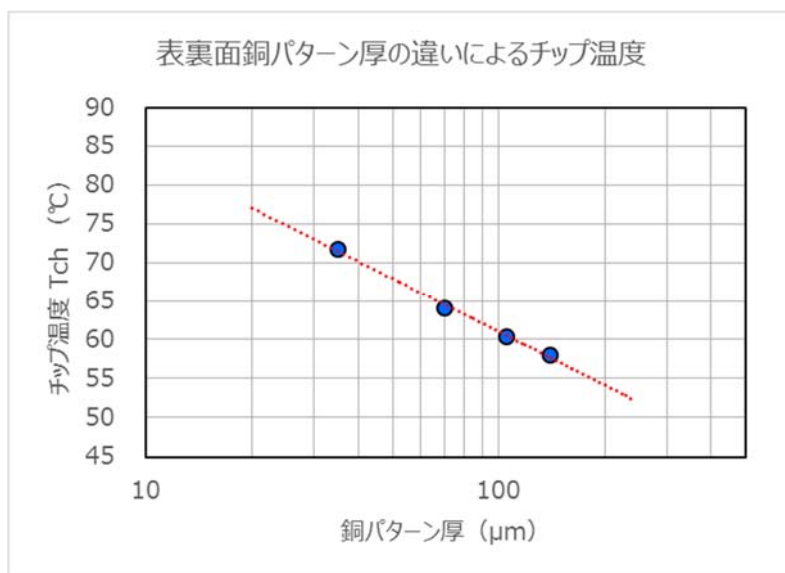


図5：多層基板層数とチップ温度の関係

6.2. パターン厚の影響

4層基板をつかい、表面第1層と裏面第4層の銅パターン厚の影響をシミュレーションで求めました。その結果を図6に示します。銅厚が厚くなるほどチップ温度 T_{ch} が低下していることがわかります。銅パターン厚の逆数とチップ温度は強い正の相関がある事がわかります。パターン面積はいずれのモデルも同じであることからパターン厚みの増加によりパターンの断面積が大きくなって熱が伝わる量が増え、より基板内に熱が広がり放熱効果が上がったものと考えられます。

銅パターン厚 $70\mu\text{m}$ (2oz) を基準とした場合、薄くした場合の $35\mu\text{m}$ (1oz) では約12%の温度上昇がみられます。 $105\mu\text{m}$ (3oz) では約94%までチップ温度が低下し、 $140\mu\text{m}$ (4oz) では約91%にまでチップ温度の低減が見られました。



1、4層銅パターン厚		チップ温度 ($^{\circ}\text{C}$)	比較
(μm)	(oz)		
35	1	71.71	111.9%
70	2	64.09	100.0%
105	3	60.32	94.1%
140	4	58.06	90.6%

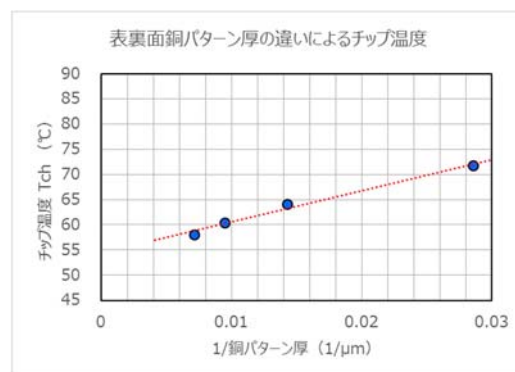


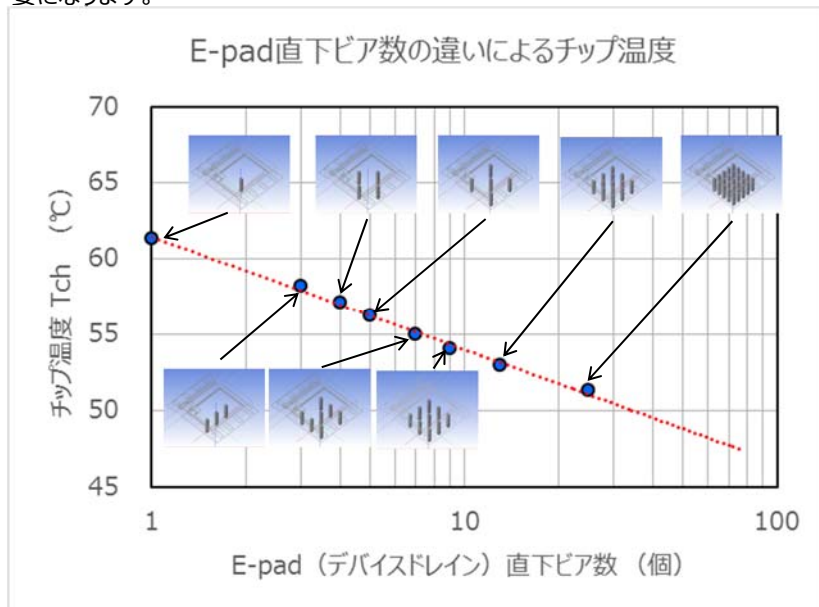
図6：銅パターン厚とチップ温度の関係

6.3. 直下ビアの影響

4層基板中央にデバイスを配置し E-pad 直下に1層から4層までのビアを設けたモデルでビア数を変えた場合のチップ温度のシミュレーション結果を図7に示します。

ビア数は、1、3、4、5、7、9、13、25個となっています。チップ温度はビア数0個（ビア無し）を基準とするとビア数9個で約84%までチップ温度の温度低減がみられます。最もビア数が多い25個では、チップ温度は約80%になります。

ビアの数量は多いほうが効果は大きいのですが E-pad サイズは有限であるため無限に増やすことはできません。またビアへの半田流れ込みにより E-pad 直下に空間が出来てかえって熱特性が悪化する可能性もあります。適度な個数の選択が重要になります。



直下ビア数	チップ温度 (°C)	比較
0	64.09	100.0%
1	61.36	95.7%
3	58.20	90.8%
4	57.11	89.1%
5	56.25	87.8%
7	54.96	85.7%
9	54.05	84.3%
13	52.93	82.6%
25	51.34	80.1%

図7：デバイス E-pad 直下ビア数とチップ温度の関係

6.4. 周辺ビアの影響

6.3と同様のモデルを使い、E-pad 周辺にビアを配置し、チップ温度への影響をシミュレーションした結果を図 8 に示します。周辺ビアの影響のみを見るため E-pad 直下のビアは取り除いてあります。周辺ビアは 1 列とし、できるだけ E-pad 近くに配置してあります。数量は 3、6、10、19 個とし各辺に数が均等になるように配置してあります。

チップ温度はビア数が増えるに従い、下がる傾向であることが分かります。ビアなし（周辺ビア 0 個）の温度を基準とした場合、モデル内最大ビア数である 19 個の時に約 87.3%までチップ温度が低下しました。E-pad 直下のビアに比べると放熱の効果はやや下がり気味ですが効果はみられます。

E-pad 直下は、発熱源（チップ）に最も近いためビアの効率が高いですが、周辺部は、銅パターン内を伝導によって広がった熱に対しての効果になります。チップ温度を下げるためにはより発熱源に近い部分での施策が最も効率的になります。

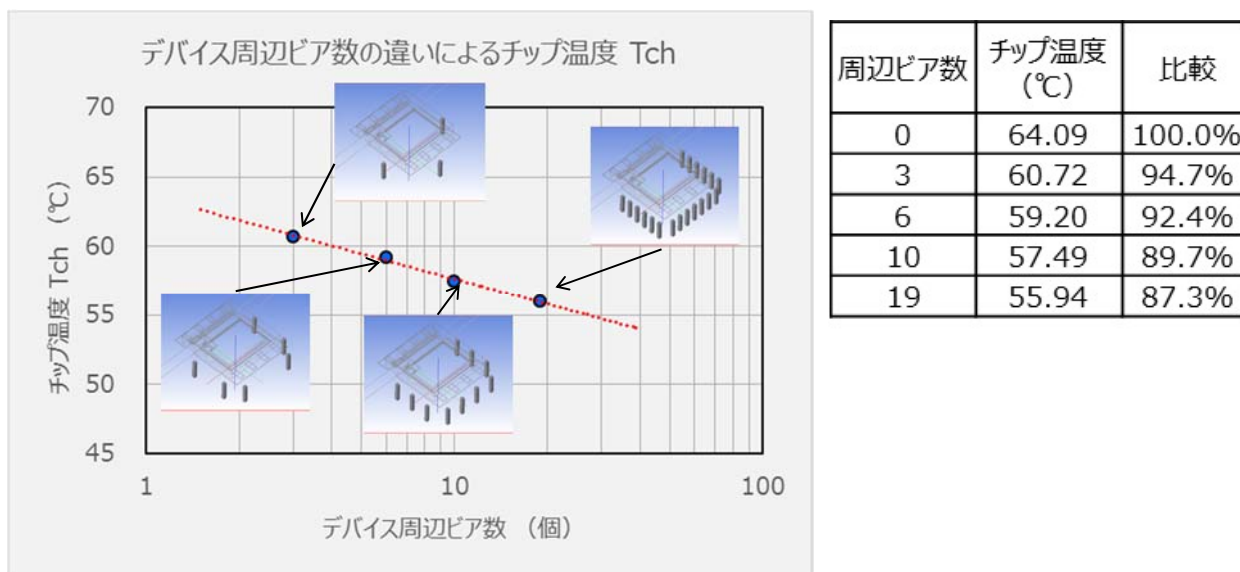


図 8 : デバイス E-pad 周辺ビア数とチップ温度の関係

E-pad 直下ビアと周辺ビアモデルのデータを図 9 にまとめます。ビアは直下に配置した方がより効果大きいことが分かります。また同じ数量ならば周辺ビアよりも直下ビアを優先させる方が有効です。とくに基板へ放熱させる表面実装タイプのデバイスでは重要になります。

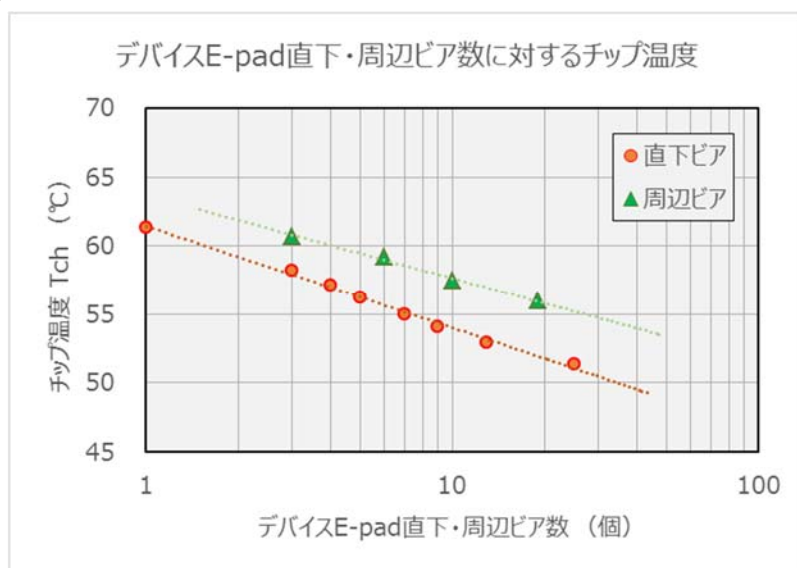


図 9 : デバイス E-pad 直下/周辺 ビアの効果

6.5. 放熱器サイズの影響

E-pad 直下に 9 個、周辺に 19 個のビアを配置した 4 層基板で放熱器の大きさを変えて、チップ温度のシミュレーションを行った結果を図 10 に示します。放熱器と基板との接触面積は約 25.8(cm²) (5.08×5.08cm) あり、どのモデルも同じです。大きさは放熱器の高さを振って、その体積を振っています。その結果、放熱器のないモデルのチップ温度に比べて高さ 1cm の放熱器付きモデルでは約 87.5%、2cm で約 81.1%の温度になっています。体積が大きくなるに従いチップ温度が下がる傾向がわかります。他の施策と比較してもチップ温度の低減には放熱器の効果が大いことがわかります。

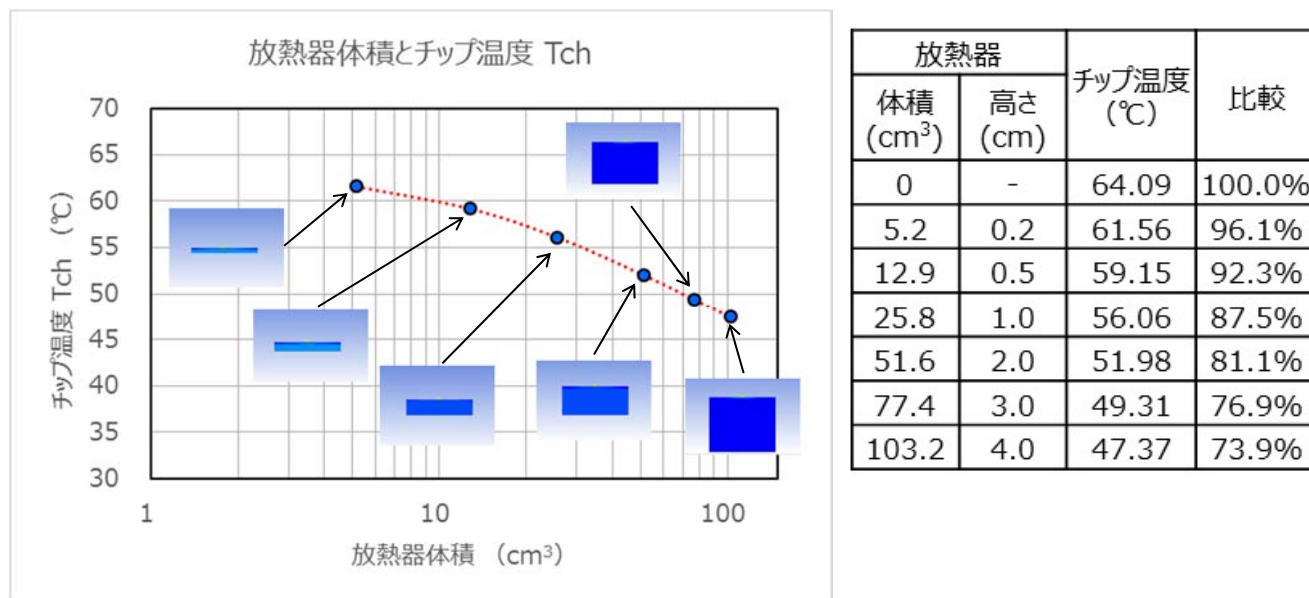


図 10：放熱器体積とチップ温度の関係

6.6. 放熱器表面放射率の影響

前項のモデル（放熱器高さ 2cm）を使い、放熱器の表面放射率を変えてチップ温度のシミュレーションを行いました。その結果を図 11 に示します。材質がアルミを想定した場合、研磨面での放射率は 0.04 程度であり、アルマイト加工をすることで放射率を 0.8 まで上げることができます。

図 11 をみると放射率が高いほどチップ温度が下がる傾向がみられます。研磨面とアルマイト加工の温度差は約 7℃ありアルマイト加工の優位性がわかります。このようにアルマイト加工は温度にとって有利ですが加工の際はコストがかかるため、これを考慮する必要があります。

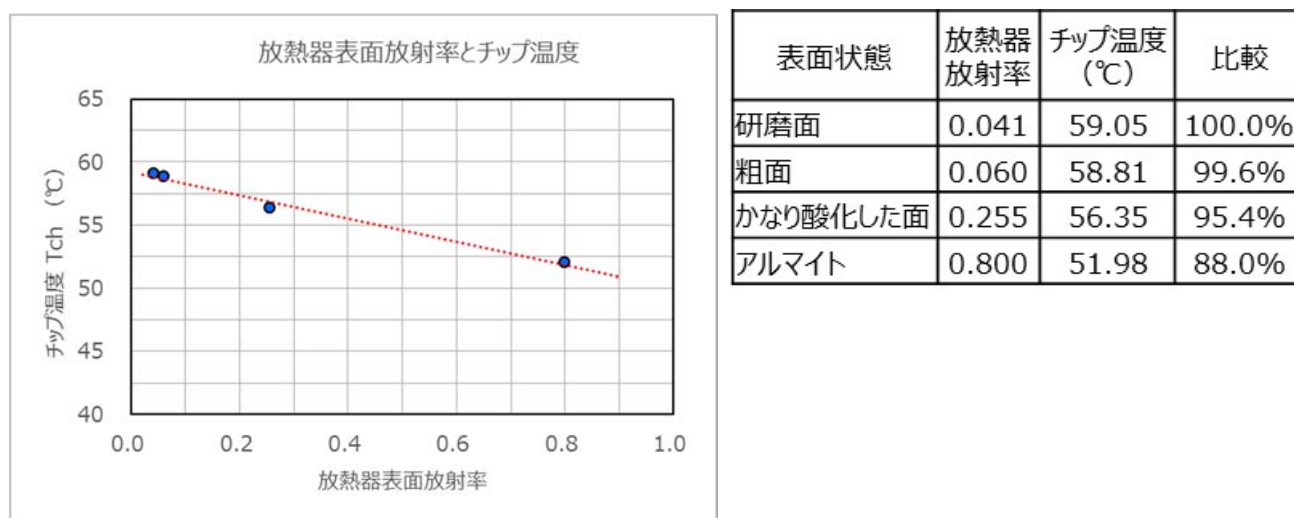


図 11：放熱器表面放射率とチップ温度の関係

6.7. 放熱器表面放射率の影響

1枚の基板上に3つのデバイスをならべて発熱させたときの熱干渉モデルをシミュレーションした結果を図12に示します。熱干渉のパラメータはデバイス間隔です。間隔の狭い場合には、お互いの熱の影響を受けるため両側を他のデバイスで挟まれた中央のデバイスCのチップ温度が最も高くなりました。間隔が広がるに連れ中央のチップ温度は下がっていきます。今回のモデルでは間隔を12mmまで広げると熱干渉の影響は小さくなり3つのデバイスのチップ温度は、ほぼ同じになりました。デバイス単体で使う場合に比べ、大幅にチップ温度の上昇がみられます。また中央チップと両端チップの温度差（図12 破線）をみるとデバイス間の距離が3mm以下になったとき温度差は小さくなっています。これは3mm以下に近づくと中央チップだけでなく3つのデバイスすべてのチップ温度が上昇してしまい温度差が小さくなったと考えられます。このように基板上にデバイスの集積度を上げて実装する場合などは特に注意が必要になります。

熱干渉を避けるためには発熱部品を近接して配置しない、デバイス間の距離をとる、銅パターンを分離するなど配置やパターンの検討の他に水平方向への熱の拡散を防ぐために発熱源間にビアを設けて熱を垂直方向へ逃がすなどの施策(図13参照)に効果があります。

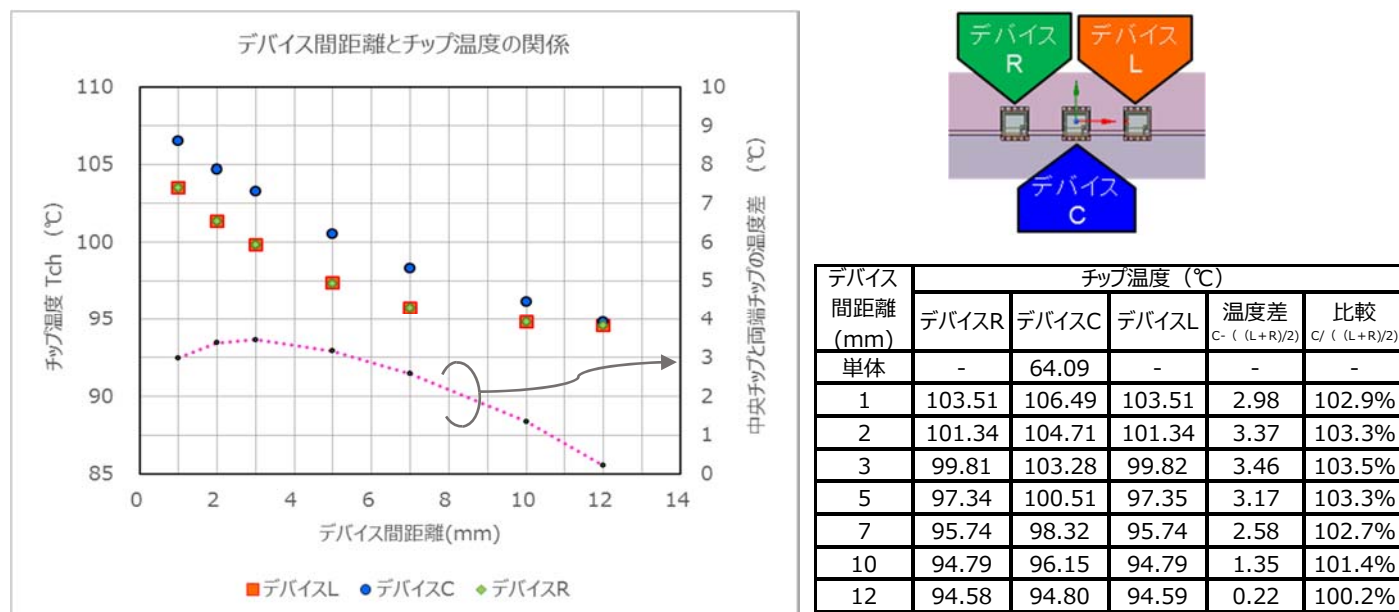


図12：熱干渉シミュレーション

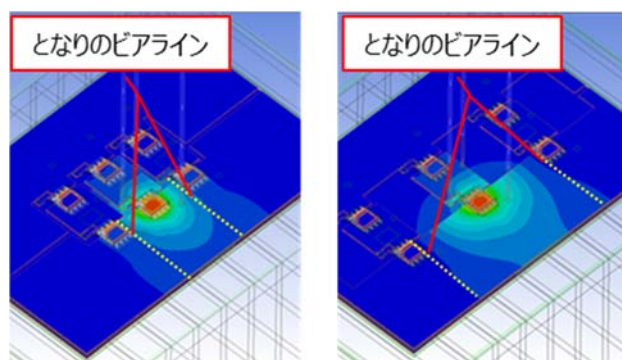
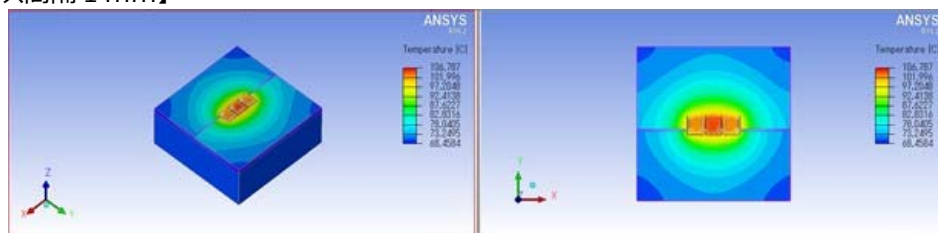


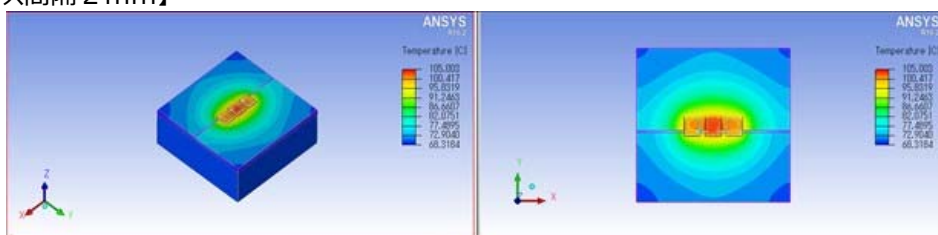
図13：別モデルにおける周辺ビアと熱干渉の関係

熱干渉モデルのデバイス間隔 1 mm～12mm の温度分布を図 14 に示します。間隔 12mm で 3 つのデバイス温度がほぼ同じになっているのがわかります。

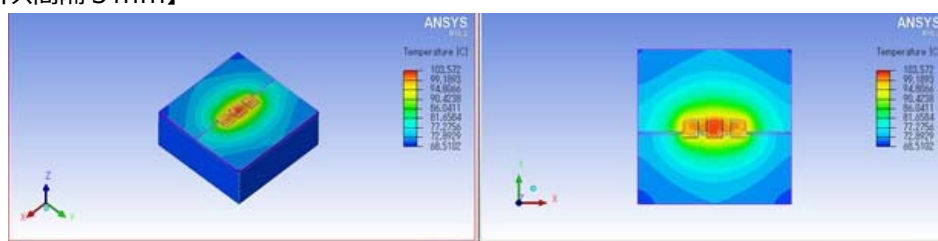
【デバイス間隔 1 mm】



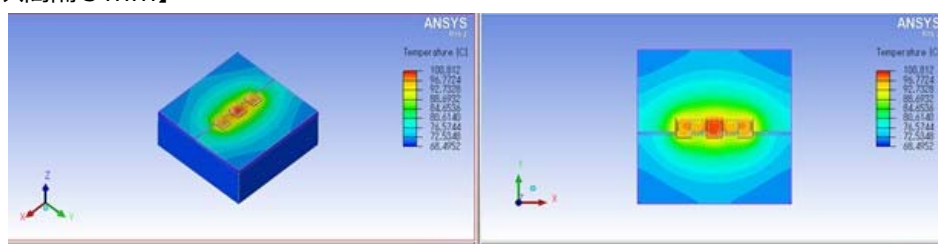
【デバイス間隔 2 mm】



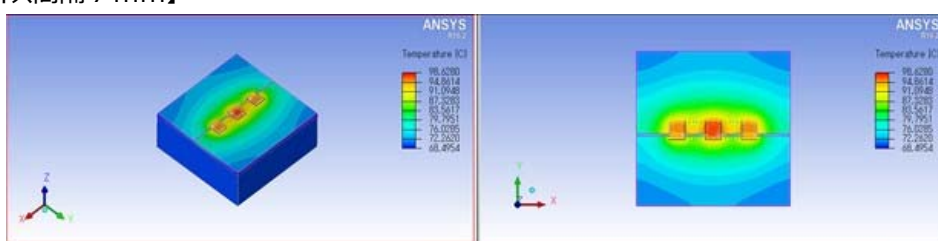
【デバイス間隔 3 mm】



【デバイス間隔 5 mm】



【デバイス間隔 7 mm】



【デバイス間隔 12 mm】

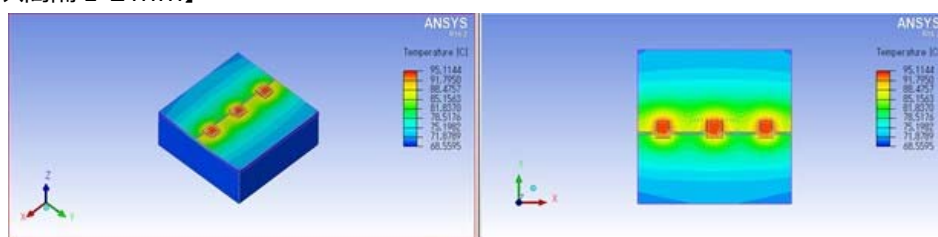


図 14 : 熱干渉モデルの温度分布

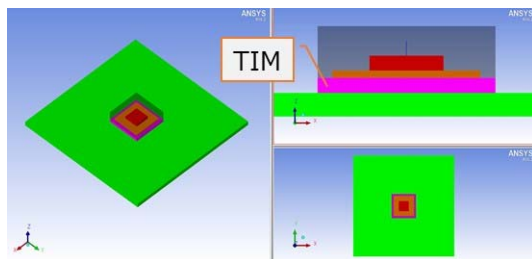
6.8. TIM の影響

放熱器とデバイス、あるいは放熱器と基板間を熱的に接続するためにはサーマルグリスやサーマルシートなどがよく使用されます。これを総称して TIM (Thermal Interface Material) と呼んでいます。この TIM の影響を見るためのシミュレーションを行いました。

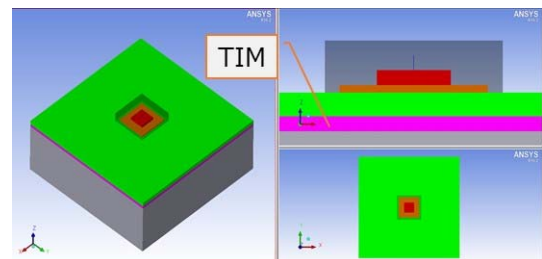
TIM のシミュレーションを行うにあたり、構造を簡単にしたパッケージモデルを搭載した以下の 2 つのモデルを準備しました (図 15 参照)。デバイスはチップ (5.0×5.0mm、t=1mm)、E-pad (10.0×10.0mm、t=0.5mm)、モールド (12.0×12.0mm、t=3.5mm) で構成されています。放熱は E-pad 経由のみを考慮してあります。また基板サイズは 50×50mm、t = 1.6mm であり中央部にデバイスを配置しました。モデル A は、[デバイス]－[基板]間、モデル B は [基板]－[放熱器]間に TIM を入れてあります。なおモデル A には放熱器ありません。

図 16 にモデル A、B それぞれのチップ温度のシミュレーション結果を示します。モデル A は TIM の厚さによりチップ温度が変わり、厚くするほど温度が高くなります。TIM の厚さとチップ温度は強い正の相関がある事がわかります。一方、モデル B は TIM の厚さに関わらずチップ温度は、ほぼ一定になっています。

この 2 モデルの傾向の違いは、モデル A の TIM 面積は、デバイス裏面面積と同じであり、一方モデル B は基板面積と同じであることから、両者には熱の通過する面積に差があることが分かります (図 17 参照)。この面積を考慮して TIM 自体の熱抵抗を図 17 の式から求めてみると表 2 のようになります。これをみるとモデル A では TIM が厚いほど熱抵抗が大きくなっているのに対しモデル B では熱抵抗の変化は殆どありません。この違いが 2 つの TIM モデルの差になったと考えられます。小さい面積に TIM を使用する場合は、厚みを考慮して使用することが必要といえます。



モデル A : デバイスと基板間に TIM を入れたモデル



モデル B : 基板と放熱器間に TIM を入れたモデル

図 15 : TIM シミュレーション用デバイスモデル

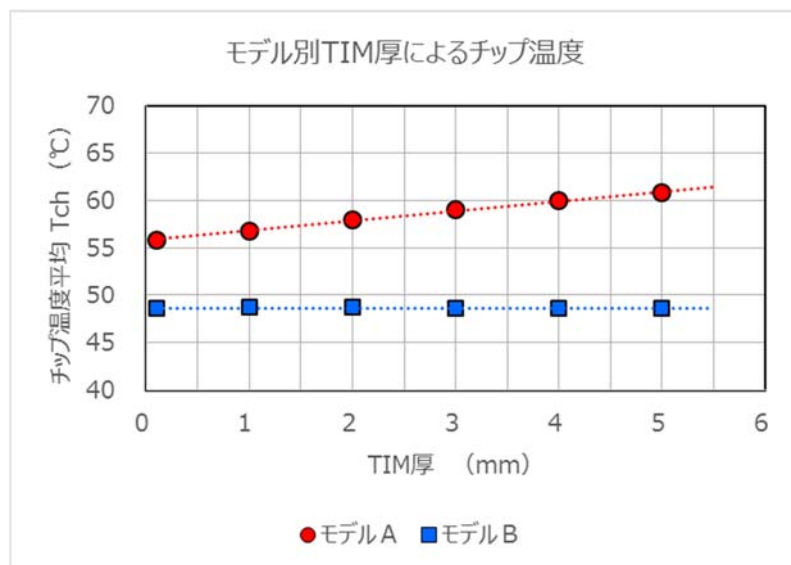
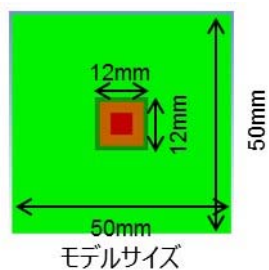


図 16 : TIM シミュレーション

TIM厚 (mm)	チップ温度 (°C)	
	モデルA	モデルB
0.1	55.92	48.58
1.0	56.87	48.69
2.0	58.01	48.67
3.0	59.04	48.65
4.0	60.00	48.63
5.0	60.90	48.61



TIMの熱抵抗： $R_{th} = (1/\lambda) \times (L/A)$

λ ：TIMの熱伝導率(3.3W/m・K)

L：TIMの厚さ、A：TIMの面積

図 17：TIM 面積と熱抵抗

表 2：TIM 厚別の熱抵抗

TIM厚 (mm)	熱抵抗 $R_{th_{TIM}}$ (°C/W)	
	モデル A	モデル B
0.1	0.21	0.01
1.0	2.10	0.12
2.0	4.21	0.24
3.0	6.31	0.36
4.0	8.42	0.48
5.0	10.52	0.61

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。