

信頼性と低損失を両立させた 第3世代SBD内蔵型SiC MOSFET

Third-Generation SBD-Embedded SiC MOSFETs to Achieve Balance between Reliability Improvement and Switching Loss Reduction

古川 大 FURUKAWA Masaru 清水 康弘 SHIMIZU Yasuhiro 小林 政和 KOBAYASHI Masakazu

SiC（炭化ケイ素）は、Si（シリコン）に比べ高耐圧で低損失化が可能なパワー半導体の材料であるが、信頼性上の課題があった。

東芝デバイス&ストレージ(株)は、SiC MOSFET（金属酸化膜半導体型電界効果トランジスター）にSBD（ショットキーバリアダイオード）を内蔵することで、SiCの信頼性上の課題を解決している。一方、SBDを内蔵することでMOSFETとして機能する領域が減り、MOSFETの性能には不利となる。そこで第3世代SiC MOSFETでは、デバイス構造を見直すことで、SBD内蔵による信頼性の向上を図りつつ、MOSFETの性能の向上にも成功した。

Although silicon carbide (SiC) holds promise as a key semiconductor material for realizing power metal-oxide-semiconductor field-effect transistors (MOSFETs) with higher voltage and lower loss compared with Si MOSFETs, problems regarding the reliability of SiC MOSFETs are a critical issue.

Toshiba Electronic Devices & Storage Corporation has responded to this situation by developing SiC MOSFETs in which reliability is improved by means of an embedded Schottky barrier diode (SBD). However, the embedded SBD reduces the area available for the functioning of the MOSFET, thereby degrading the performance of SBD-embedded SiC MOSFETs. To resolve this issue, we have now developed third-generation SBD-embedded SiC MOSFETs that succeed in achieving a balance between improvement of reliability and reduction of switching loss due to the adoption of a newly designed device structure.

1. まえがき

パワー半導体には、電力を供給・制御する役割があり、電気機器の省エネ化やカーボンニュートラルの実現に不可欠である。SiCは、従来のSiよりも高耐圧・低損失化が可能な次世代のパワー半導体材料として注目されているが、パワーデバイスの材料として使うには、様々な問題を解決する必要がある。その一つが、SiC MOSFETの中に存在するpnダイオードに起因する問題である。pnダイオードにオン電圧以上の電圧が印加されると電流が流れ、その結果、次のようなメカニズムでSiCの結晶欠陥を拡大させ、MOSFETの抵抗を増加させることが知られている。

pnダイオードに電流が流れると、SiC中に電子と正孔の2種類のキャリアが注入され、注入された電子と正孔が再結合するときにエネルギーが発生する。このエネルギーによりウエハーに存在するBPD（Basal Plane Dislocation）⁽¹⁾と呼ばれる転移が拡張し、積層欠陥になる。これがキャリアの阻害要因となり、pnダイオードのオン電圧とMOSFETの抵抗を増加させる。図1に、SiC MOSFETの断面図とMOSFETの中に存在するpnダイオードを示した。

東芝デバイス&ストレージ(株)は、この問題に対して、

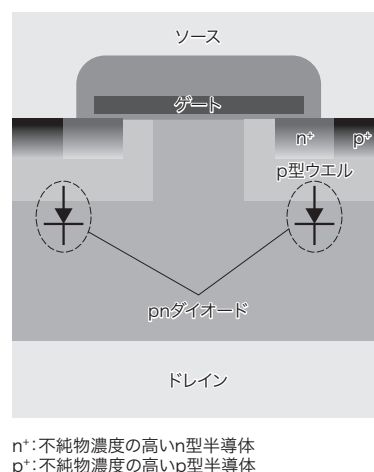


図1. SiC MOSFETの断面図とMOSFETの中にあるpnダイオード

パワー MOSFETのドレインとソースの間にはpnダイオードが存在し、これに電流が流れるとSiCの結晶欠陥を拡大させ、MOSFETの抵抗を増加させる。

Cross-sectional structure of SiC MOSFET and pn diodes formed between drain and source

MOSFETの中にpnダイオードと並列にSBDを配置してダイオード電流をSBD側にだけ流れるようにすることでこの問題を解決し、第2世代のSiC MOSFET製品として上市して

いる^{(2), (3)}。しかし、MOSFETの内部にSBDを組み込むと、MOSFETとしての性能は、その分だけ機能する領域が減少するため、低下してしまう。具体的には、パワーMOSFETの重要な性能指標である $R_{on}A$ （単位面積あたりのオン抵抗）や R_{on} （オン抵抗） $\times Q_{gd}$ （ゲートドレイン間電荷量）が増大する。1.2 kV 耐圧のSiC MOSFETを試作・評価した結果、SBDを内蔵した場合には、内蔵していない場合と比較して $R_{on}A$ は約1.5倍、 $R_{on} \times Q_{gd}$ は約1.4倍になってしまうことを確認した。これらの性能指標の悪化は、製品コストの上昇やデバイス動作時の損失の上昇につながる可能性がある。このため、SBDを内蔵してダイオード通電による信頼性を確保した上で、高い性能指標を備えたデバイスの開発が課題である。

当社ではこの課題に対して、幾つかの構造上の施策により、ダイオード通電に対する高い信頼性と高い性能指標を両立したSBD内蔵SiC MOSFETを開発し、第3世代SiC MOSFETとして上市した。第2章では第3世代のSiC MOSFETの性能を向上させるための施策とメカニズムについて説明し、第3章では第3世代SiC MOSFETの特性と信頼性の評価結果について述べる。

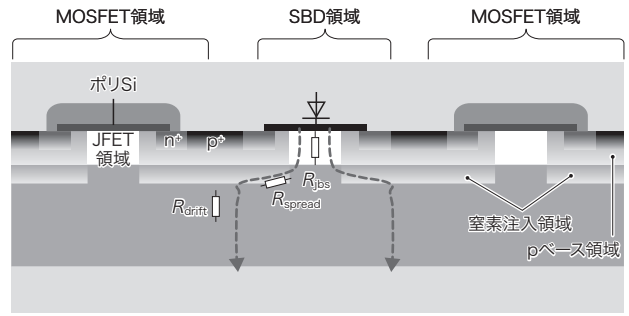
2. MOSFET 性能向上のための構造改善施策

SBD内蔵MOSFETの改善施策は大きく二つに分けられる。一つ目はSBD領域に流せる電流密度を増大させることにより必要なSBDの面積を削減し、MOSFETの面積を増やす改善施策であり、また二つ目はMOSFET領域の構造の改善施策である。以降では、それぞれの施策について述べる。

2.1 SBD領域に流せる電流密度の増大

当社は、MOSFETの中に組み込まれたSBDに流せる電流密度を増大させ、必要なSBDの面積を削減してMOSFETの割合を増やすことで性能向上を実現している。ここではSBDに流せる電流密度の支配要因と、それを増大させるために実施した施策について述べる。

図2は、当社が開発した第3世代のSiC MOSFETの断面図で、SBDが動作したときの電流経路を矢印で示している。電流経路の主な抵抗は R_{jbs} 、 R_{spread} 、及び R_{drift} で、それぞれJBS（Junction Barrier Controlled Schottky）抵抗、pベース下部の広がり抵抗、及びドリフト層の抵抗である。ここで、pnダイオードのオン電圧を V_{on} 、SBDのショットキー障壁を V_k とすると、pnダイオードの動作が開始する電流 I_{umax} （最大ユニポーラー動作電流）は、式(1)のように表される。



JFET: Junction Field Effect Transistor

図2. 第3世代SiC MOSFETの断面図とSBD電流の経路

SBDに流せる電流値はその経路の抵抗 R_{jbs} 、 R_{spread} 、及び R_{drift} によって決まる。第3世代SiC MOSFETでは、pベース下部への窒素イオンの注入により、 R_{spread} を低減した。

Cross-sectional structure of third-generation SiC MOSFET and current paths when current passed through SBD

$$I_{umax} = \frac{V_{on} - V_k}{R_{jbs} + R_{spread}} \quad (1)$$

この電流値まで通電してもSBD領域だけが通電状態となり、この電流値を超えるとpnダイオードの動作が始まる。pnダイオードの動作が始まると正孔電流の注入が開始する。当社は第3世代SiC MOSFETにおいて、pベース下部への窒素イオンの注入により R_{spread} を低減し、 I_{umax} を増大させた。図3に、第2世代、第3世代のSiC MOSFET及びSBD内蔵をしていないMOSFETの、175℃におけるダイオード特性($J_{sd}-V_{sd}$)を示す。ここで V_{sd} はドレイン電極に対するソース電極の電圧、 J_{sd} はソース電極からドレイン電極に流れる電流の密度である。図中の丸印が、SBD内蔵MOSFETにおいてpnダイオードの動作が開始する位置

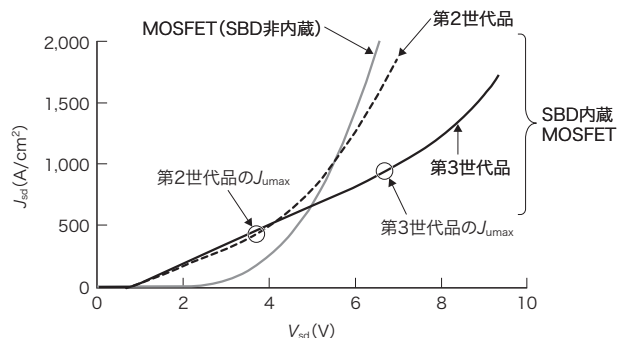


図3. 第2世代、第3世代SiC MOSFET及びSBD内蔵をしていないMOSFETの高温(175℃)におけるダイオードのIV特性

第3世代SiC MOSFETでは R_{spread} の低減により、第2世代SiC MOSFETに比べて更に I_{umax} が高くなっている。

I-V characteristics of diodes in second- and third-generation SBD-embedded MOSFETs and in MOSFET without SBD at high temperature (175°C)

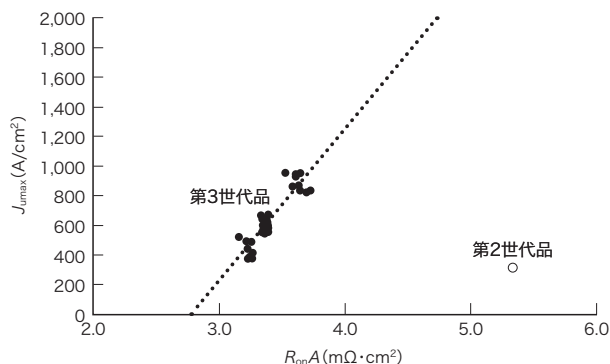


図4. 第2世代、第3世代SiC MOSFETにおける $R_{on}A$ と J_{umax} の関係

第3世代のMOSFETについてはSBDの割合を変化させて $R_{on}A$ と J_{umax} の関係を示している。同じSBDの割合では、第3世代品は第2世代品に比べて $R_{on}A$ と J_{umax} が同時に低減されていることが分かる。

Relationship between specific on-resistance ($R_{on}A$) and maximum current in unipolar operation (J_{umax}) of second- and third-generation SBD-embedded MOSFETs

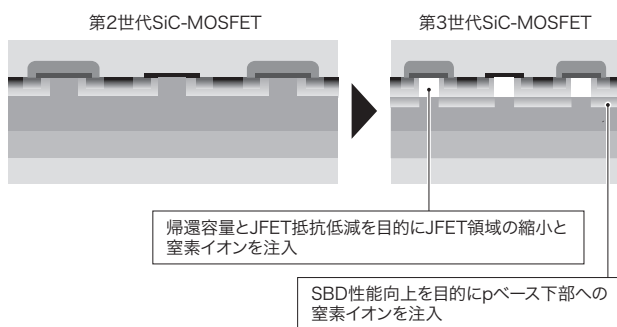


図5. 第3世代SiC MOSFETの改善点

C_{gd} の低減のためにJFET領域の幅を縮小すると同時に、それに伴うJFET抵抗の増加を抑制する目的でJFET領域に窒素イオンを注入している。

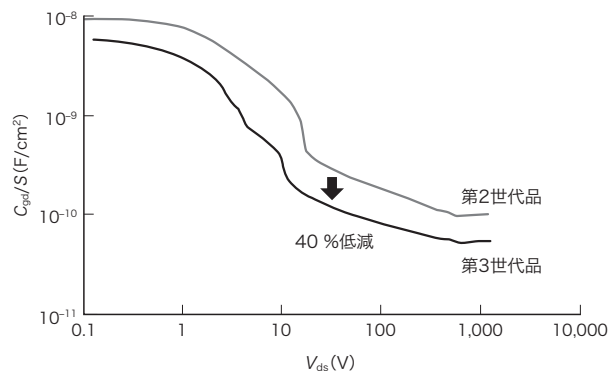
Improvements in structure of third-generation SiC MOSFET

(I_{umax} での電流密度(J_{umax}))である。なお、pnダイオードの動作開始位置は、正孔が注入されると $J_{sd}-V_{sd}$ 特性が変化することを利用して算出している⁽³⁾。175℃における J_{umax} は、第2世代SiC MOSFETが400 A/cm²であるのに対して、第3世代SiC MOSFETでは900 A/cm²に上昇している。

また、図4では、第2世代と第3世代のSiC MOSFETにおける $R_{on}A$ と J_{umax} の関係を示している。第3世代SiC MOSFETは第2世代品に比べて低い $R_{on}A$ でかつ高い J_{umax} を実現していることが分かる。

2.2 MOSFET領域の構造の改善

ここではSiC MOSFETの重要な性能指数である $R_{on} \times Q_{gd}$ の低減施策について述べる。図5は、第2世代SiC MOSFETから第3世代SiC MOSFETへと改善した主なポイ



S:素子の活性領域の面積

図6. 1.2 kV耐圧第2世代及び第3世代SiC MOSFETの C_{gd} の V_{ds} 依存性

JFET幅を低減する施策により、第3世代SiC MOSFETは第2世代SiC MOSFETに比べて、 C_{gd} が40%程度低減している。

Drain-voltage dependence of feedback capacitance of 1.2 kV-class second- and third-generation SBD-embedded SiC MOSFETs

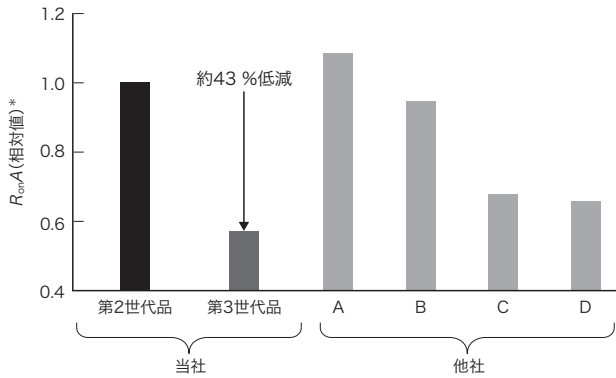
ントについて、2.1節で述べた施策も含めて示している。ゲートドレイン間容量(C_{gd})を低減するために、p型領域に挟まれたJFETと呼ばれる領域の面積を削減した。その際に、単純にJFET領域の面積を削減するとJFET抵抗が増大してしまうため、JFET領域への窒素イオンを注入することにより、 C_{gd} の低減とJFET抵抗増大の抑制を両立している。図6は、第2世代、第3世代SiC MOSFETの C_{gd} のドレイン電圧(V_{ds})依存性を示している。MOSFET領域の構造を第2世代から第3世代に改善したことにより、 C_{gd} を40%程度低減できた。

3. 第3世代SiC MOSFETの試作・評価結果

前章までに述べた技術を盛り込んだ第3世代SiC MOSFETのサンプルを試作し、当社従来品である第2世代SiC MOSFETや他社製品に対する $R_{on}A$ 、 $R_{on} \times Q_{gd}$ 、及び動特性の比較・評価を、当社において実施した結果を示す。また、通電信頼性の結果についても示す。

3.1 $R_{on}A$ 、 $R_{on} \times Q_{gd}$ 及びスイッチング損失

図7及び図8は、 $R_{on}A$ 及び $R_{on} \times Q_{gd}$ について、第2世代SiC MOSFETでの値を1として、第3世代SiC MOSFET及び他社の最新世代のSiC MOSFETと比較して示している。 $R_{on}A$ は第2世代から第3世代で43%程度低減しており、SBDを内蔵しているにもかかわらず、優れた特性であることが分かる。 $R_{on} \times Q_{gd}$ は第2世代から第3世代で80%低減しており、他社との比較でも低い値である。次に、スイッチング損失の評価結果を示す。図9と図10は、第2世代及び第3世代SiC MOSFETについてのターンオン及びター

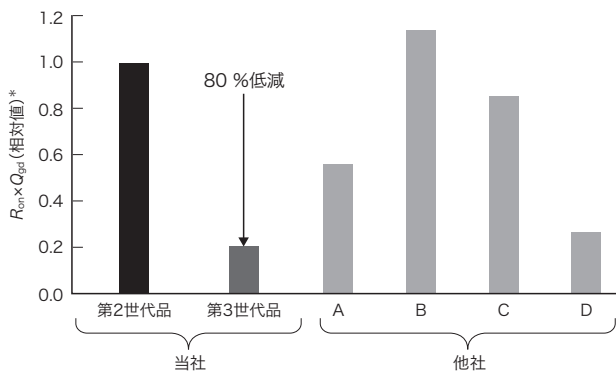


*当社第2世代品の $R_{on}A$ を1として規格化

図7. 1.2 kV耐圧第2世代及び第3世代SiC MOSFETの $R_{on}A$

第3世代SiC MOSFETは、第2世代SiC MOSFETと比較して $R_{on}A$ が約43%低減している。

Comparison of $R_{on}A$ of 1.2 kV-class second- and third-generation SBD-embedded SiC MOSFETs when $R_{on}A$ of second-generation SiC MOSFET is 1



*当社第2世代品の $R_{on} \times Q_{gd}$ を1として規格化

図8. 1.2 kV耐圧第2世代及び第3世代SiC MOSFETにおける $R_{on} \times Q_{gd}$

第3世代SiC MOSFETは、第2世代SiC MOSFETと比較して $R_{on} \times Q_{gd}$ が80%低減している。

Comparison of $R_{on} \times$ gate-drain capacitance (Q_{gd}) of 1.2 kV-class second- and third-generation SBD-embedded SiC MOSFETs when $R_{on} \times Q_{gd}$ of second-generation SiC MOSFET is 1

ンオフ時の V_{ds} 及びドレイン電流(I_d)の波形である。第3世代品では、スイッチング速度が速くなっていることが分かる。また、図11は、第2世代及び第3世代SiC MOSFETでスイッチング損失を評価した結果である。第3世代SiC MOSFETのスイッチング損失は第2世代品と比較して20%低減している。

3.2 通電信頼性

図12は、今回開発した第3世代SiC MOSFETのダイオード通電における信頼性評価の結果を示している。ジャンクション温度(T_j)が175℃、電流密度が250 A/cm²の通

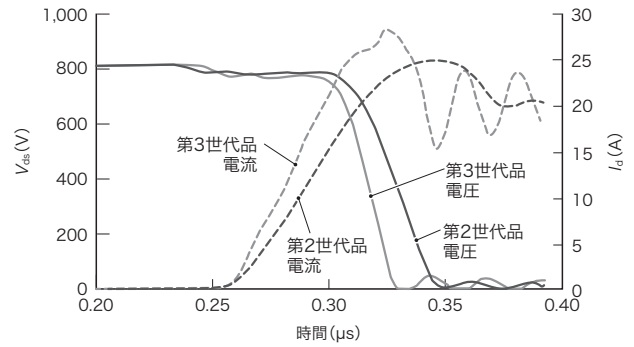


図9. 1.2 kV耐圧第2世代及び第3世代SiC MOSFETのターンオン波形

第3世代のSiC MOSFETは、第2世代と比較してターンオン速度(I_d の立ち上がりと V_{ds} の立ち下がり)が速くなっていることが分かる。

Turn-on transient waveform data of 1.2 kV-class second- and third-generation SBD-embedded SiC MOSFETs

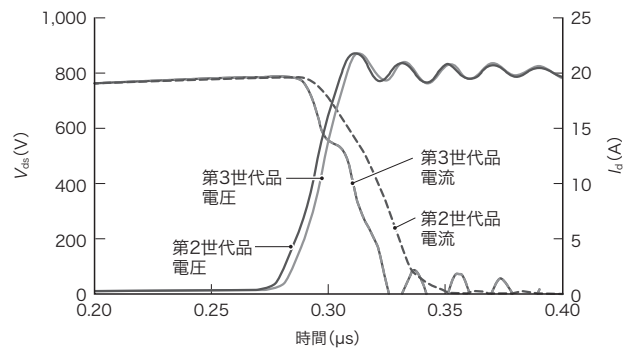
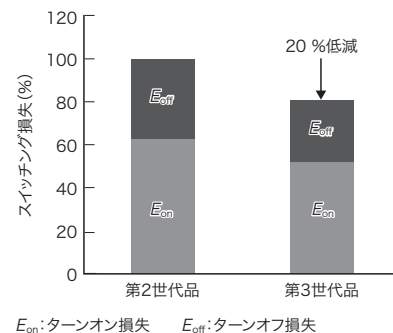


図10. 1.2 kV耐圧第2世代及び第3世代SiC MOSFETのターンオフ波形

第3世代のSiC MOSFETは、第2世代と比較してターンオフ速度(I_d の立ち下がりと V_{ds} の立ち上がり)が速くなっていることが分かる。

Turn-off transient waveform data of 1.2 kV-class second- and third-generation SBD-embedded SiC MOSFETs



E_{on} : ターンオン損失 E_{off} : ターンオフ損失

図11. 1.2 kV耐圧第2世代及び第3世代SiC MOSFETのスイッチング損失

Q_{gd} を低減した効果により、第3世代SiC MOSFETは、第2世代SiC MOSFETと比較してスイッチング損失が20%低減している。

Comparison of switching loss of 1.2 kV-class second- and third-generation SBD-embedded SiC MOSFETs

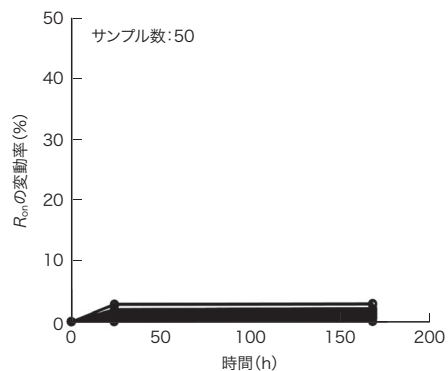


図 12. DC通電による R_{on} の変動評価

電流密度が J_{umax} より小さい範囲で任意に選択した複数の条件において、逆導通ダイオードに最大168 hの連続DC通電試験を実施し、 R_{on} の変動率が10 %以内であることを確認した。

Evaluation of fluctuation ratio of R_{on} of third-generation SBD-embedded MOSFET under DC energization

電条件で168 hの通電試験を実施し、 R_{on} の変動率を示している。評価した50個のサンプルの全てにおいて変動率は10 %以内に収まり、実際の通電でもSBDを内蔵することの効果を確認した。

4. あとがき

SBDを内蔵した上でダイオード通電による信頼性向上とMOSFETとしての性能指標向上の両立を実現した。この技術を適用した第3世代SiC MOSFETを、製品としてラインアップしている⁽²⁾。

文 献

- (1) Kawahara, K. et al. Stacking fault expansion from basal plane dislocations converted into threading edge dislocations in 4H-SiC epilayers under high current stress. J.Appl.Phys. 2013, **114**, 1, 014504.
- (2) 東芝デバイス&ストレージ. “SiC MOSFET”. ラインアップ. <<https://toshiba.semicon-storage.com/jp/semiconductor/product/mosfets/sic-mosfets.html>>, (参照 2022-11-02).
- (3) M. Furukawa et al. "Improved reliability of 1.2kV SiC MOSFET by preventing the intrinsic body diode operation". Proceedings of International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management (PCIM). Germany, 2020-07. PCIM Europe, 2020, p.1-5.



古川 大 FURUKAWA Masaru
東芝デバイス&ストレージ (株)
ディスクリート半導体事業部
産業用ハイパワーデバイス技術部
Toshiba Electronic Devices & Storage Corp.



清水 康弘 SHIMIZU Yasuhiro
東芝デバイス&ストレージ (株)
ディスクリート半導体事業部
産業用ハイパワーデバイス技術部
Toshiba Electronic Devices & Storage Corp.



小林 政和 KOBAYASHI Masakazu
東芝デバイス&ストレージ (株)
ディスクリート半導体事業部
産業用ハイパワーデバイス技術部
Toshiba Electronic Devices & Storage Corp.